

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-43894

⑬ Int. Cl.
G 11 C 11/34

⑭ 識別記号
3 6 2

⑮ 庁内整理番号
Z-8522-5B

⑯ 公開 昭和64年(1989)2月16日

審査請求 未請求 発明の数 1 (全6頁)

⑰ 発明の名称 半導体メモリ

⑱ 特 願 昭62-200200

⑲ 出 願 昭62(1987)8月10日

⑳ 発 明 者 大 野 直 哉 東京都港区芝5丁目33番1号 日本電気株式会社内
㉑ 発 明 者 西 直 樹 東京都港区芝5丁目33番1号 日本電気株式会社内
㉒ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉓ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称
半導体メモリ

2. 特許請求の範囲

アドレスデコード、アドレスドライバ、スタ
イタメモリセルアレイ、センスアンプ、書き
戻制御回路を持つ半導体メモリにおいて、前記
アドレスデコードの入力線から前記センスアンプ
の出力線に至る間に一段以上のバイアスラッ
チを挿入する事により同時に複数のメモリアタ
ク要求を処理することが可能なバイアスメモ
リと、複数のポートに対応して外部から印加さ
れるクロック信号を入力し、そのクロックと倍
の周波数の前記バイアスメモリ駆動用内部
クロックを発生するクロック発生回路と、前記複
数のポートに対応するアドレス線に印加され
たアドレスを各々格納する複数のアドレスラッ
チと、前記複数のポートに対応する書きデータ

線に印加された書きデータを各々格納する複
数の書きデータラッチと、前記複数のポートに
対応するメモリアタク要求線に印加されたメ
モリアタク要求を各々格納する複数の読取信
号ラッチと、前記複数のポートに対応する前記
アドレスラッチ、書きデータラッチ、読取信号ラ
ッチの出力を前記内部クロック毎に、順次切換
えて出力する切換回路と、前記複数のポートに
対応するクロック信号により各々駆動される複
数の出力データラッチとを備え、バイアスメモ
リの内部クロックアクトルを順次各ポートに割
当てることにより、前記複数のポートからラン
ダムなアドレスに対してアタク可能なマルチポ
ート機能を有することを特徴とする半導体メモリ。

3. 発明の詳細な説明

(最良の実施例)

本発明は半導体メモリに関し、特にメモリ内
多数のレジスタ、もしくは、ラッチを設けたバ
イアスメモリを用いたマルチアタク機能を有

する半導体メモリに因する。

〔従来の技術〕

メモリチップにバイブライソレジスタ(もしくは、ラッチ)を設け、チップ内において記憶中のリタニストとは別に相成して発せられたリタニストのアドレス/書きデータ/読出データ等を保持する半導体メモリが開発され、レジスタ付メモリ又はバイブライソメモリと呼ばれている。これにより、メモリへの外部からのアドレス、書きデータの供給、又はメモリ内での読出データのチップ外への供給を、メモリ自体の書き/読出動作と独立に行うことが可能となり、システムとしてのメモリのタイタリズムを低くすることができ、メモリシステムのスループットを向上させることが出来る。

更に、アドレスデコードの入力段からセンスアンプの出力段に至る間にもバイブライソラッチを設け、メモリ自体の書き/読出動作をいくつかのステージに分割することにより、タイタリズム自体を低くするとともに、分割された各ステージ

においては独立したリタニストに対する処理を行う事ができる。メモリのスループットを向上させることが出来る。

また、従来のマルチポートメモリと呼ばれるメモリが商品化されている。これは、外部から与えられるアドレスに対して書き込み及び読出しを行う第一及び第二のポートを持つメモリで、同時にこれらの二つのポートからメモリをアクセスすることが出来る。

〔発明が解決しようとする問題点〕

上述した従来のマルチポートメモリは、同時に二つのポートから独立にアクセス可能なデュアルポートメモリにより構成しているため、アドレスデコード、センスアンプ回路等が二セット必要になり、かつ、メモリセル自体も複雑になるため、チップサイズが大きくなり、価格が通常のメモリに比べて大幅に高くなるという欠点があった。

本発明の目的は、バイブライソメモリを用いることにより、比較的価廉なマルチポート機能を有する半導体メモリを提供することにある。

〔問題点を解決するための手段〕

本発明による半導体メモリは、アドレスデコード、アドレスドライバ、スタティックメモリセルアレイ、センスアンプ、書き/読出制御回路を持つ半導体メモリにおいて、前記アドレスデコードの入力段から前記センスアンプの出力段に至る間に一段以上のバイブライソラッチを備える事により、同時に複数のメモリアクセス要求を処理することが可能なバイブライソメモリと、複数のポートに対応して外部から印加されるクロック信号を入力し、そのクロックの2倍の周波数の前記バイブライソメモリ駆動用の内部クロックを発生するクロック発生回路と、前記複数のポートに対応するアドレス線に印加されたアドレスを各々格納する複数のアドレスラッチと、前記複数のポートに対応する書きデータ線に印加された書きデータを各々格納する複数の書きデータラッチと、前記複数のポートに対応するメモリアクセス要求線に印加されたメモリアクセス要求を各々格納する複数の制御信号ラッチと、前

記複数のポートに対応する前記アドレスラッチ、書きデータラッチ、制御信号ラッチの出力を前記内部クロックに、逐次切換えて出力する切換回路と、前記複数のポートに対応するクロック信号により各々駆動される複数の読出データラッチとを備え、バイブライソメモリの内蔵クロックタイタリズムを順次各ポートに割当てることにより、前記複数のポートからランダムにアドレスに対してアクセスが可能なマルチポート機能を有することを特徴とする。

〔実施例〕

以下、図面を参照して本発明の実施例について説明する。

本実施例においては、ポートとしては第一及び第二の二つのポートがあるものとする。

第一図に本発明の一実施例におけるマルチポートメモリ機能を示す半導体メモリブロック図を示す。本実施例においては、バイブライソメモリは行アドレスデコード5、列アドレスデコード8とメモリセルアレイ9の間に一段のバイブライ

ンラ・テ、即ち、行アドレスラ・テ1、列アドレスラ・テ8が設けられる。これに対応して、番込データを中間ラ・テとするための番込データ中間ラ・テ16、番込/読出の制御信号を中間ラ・テとするための制御信号中間ラ・テ18が設けられる。これらにより本実施例においては、メモリ部はデコードステージと番込/センスステージの2段に分割されることになる。

第一のポートに対応して第一のアドレスラ・テ1、第一の番込データラ・テ13、第一の制御信号ラ・テ14、第一の読出データラ・テ11が設けられ、第二のポートに対応して第二のアドレスラ・テ2、第二の番込データラ・テ21、第二の制御信号ラ・テ15、第二の読出データラ・テ12が設けられ、第一及び第二のアドレスラ・テ1及び2の出力の上位部分及び下位部分、各々、行アドレス切換回路3及び列アドレス切換回路4の第一及び第二の入力に印加されている。行アドレス切換回路3及び列アドレス切換回路4の出力は、各々、行アドレスデコード5及び列アドレスデ

コード6に印加されている。行アドレスデコード5及び列アドレスデコード6の出力は、各々、行アドレスラ・テ1、列アドレスラ・テ8に印加されている。行アドレスラ・テ7及び列アドレスラ・テ8の出力はメモリセルアレイ9に印加され、メモリセルアレイ9からのセンス信号はセンスアンプ10に印加される。センスアンプ10の出力は第一及び第二の読出データラ・テ11及び12に印加され、その出力は、各々、第一及び第二の読出データ端子RD1及びRD2に印加されている。

第一及び第二のポートからの番込データは、各々、第一及び第二の番込データラ・テ13及び21に印加され、その出力は番込データ切換回路22の第一及び第二の入力に印加され、切換回路22の出力は番込データ中間ラ・テ16に印加される。

第一及び第二のポートからの番込要求WB1及びWB2は、各々、第一及び第二の制御信号ラ・テ14及び15に印加され、その出力は制御信号切換回路17に印加されており、制御信号切換回路17の出力は制御信号中間ラ・テ18に印加さ

れている。制御信号中間ラ・テ18の出力は番込/読出制御回路19に印加されている。

本実施例で使用するラ・テは、すべてクロックの立上がりで値がセトされるトリガサンプルアンドホールドで構成されている。

第一のアドレスラ・テ1、第一の番込データラ・テ13、第一の制御信号ラ・テ14、第一の読出データラ・テ11のクロックとして第一のクロック信号CLK1が印加される。同様に、第二のアドレスラ・テ2、第二の番込データラ・テ21、第一の制御信号ラ・テ15、第二の読出データラ・テ12は、第二のクロック信号CLK2が印加される。

クロック発生回路23は、これに印加される第一及び第二のクロック信号から各々のクロックの立上がりで立上がりをもつ内部クロック信号CLK及びポート切換信号SELを発生する。クロック信号CLKは、行アドレスラ・テ5、列アドレスラ・テ6、番込データ中間ラ・テ16、制御信号中間ラ・テ18にクロックとして印加される。

ポート切換信号SELは、行アドレス切換回路3、列アドレス切換回路4、番込データ切換回路22、制御信号切換回路17に印加され、第一のクロック信号CLK1の立上がりで開始するタイタムにおいては、第一の入力を、また、第二のクロック信号CLK2の立上がりで開始するタイタムにおいては第二の入力を出力する。

番込/読出制御回路19は、メモリセルアレイ9への番込データ、また、メモリセルアレイ9からの読出データの読出の制御を行う。

バイライン制御回路20は選択信号SELとして、タイタムC1で'0'、また、タイタムC2で'1'となるポート切換信号を生成する。

次に、本実施例の動作を説明する。

本実施例においては、第二図に示すように、第一及び第二のクロック端子には半周期位相の異なるクロックCLK1、CLK2が各々印加されるものとしている。第一のポートに対するアドレス、番込要求、番込データは、図でこの第一のクロックによりサンプルされるように同期されて印加さ

れているものとしている。第二ポートに対するアドレス、アドレス設定要求、読出要求も同様とする。

本発明例においては、内部クロックCLKの立上がりから立上がりまでで決定される内部タイトルは、第一及び第二のポートに対して交互に割り当てられる。

即ち、第一のクロックCLK1の立上がりから始まるタイトルC1、第二のクロックCLK2の立上がりから始まるタイトルC2とを分割され、デコードステータジに対してはタイトルC1は第一のポートに、タイトルC2は第二のポートに割り当てられる。これはポート切換え信号はECLKより制御されることとなる。

第二図により、第一のポート及び第二のポートからのアドレス要求に対する動作を説明する。

第一のポートに対しては111においてアドレスA11に対するデータD11の読出要求が、112においてアドレスA12に対する読出要求等、第二図に示すようなアドレス要求があるものとす

る。同時に、第二のポートに対しては121、122、124等で読出要求があるものとする。

111における、ポート1に対する読出要求は第一のクロックCLK1によりサンプルされてアドレス、読出要求、読出データが、各々、アドレスラッチ1、読出データラッチ13、制御信号ラッチ14に格納されると共に、これらの出力は、

各々、行アドレス切換図3、列アドレス切換図4、読出データ切換図22、制御信号切換図17を介して、行アドレスデコード5、列アドレスデコード6、読出データ中間ラッチ16、制御信号中間ラッチ18に印加される。

121のタイミングにおいては、デコードされた出力が、各々、行アドレスラッチ5、列アドレスラッチ6にセットされると共に、読出データ中間ラッチ16、制御信号中間ラッチ18にもセットされ、メモリアルレイに於けるA11アドレスに対する読出動作が開始される。これと共に第二のアドレスラッチの出力が、行アドレス切換図3及び列アドレス切換図4で選択され、ア

ドレスA21によるデコードタイトルが開始される。

同時に、112においては、アドレスA12によるデコードステータジが開始されると共に、アドレスA21による読出し/センスステータジが開始される。122においてはアドレスA22によるデコードステータジ、A12による読出/センスステータジが開始されると共に、第二のタイトルで読出されたデータD21が第二の読出データラッチ13にセットされる。

同時に、113のタイミングにおいて、A12によるデコードタイトル及びA22による読出/センスステータジが開始されると共に、データD12が第一の読出データラッチ11にセットされる。

以上の本発明の実施例に示すように、本発明によれば、メモリアル本体がデュアルアクセス機能を持つメモリを有することなく、第一及び第二のポートからランダムにアドレスに対する読出/読出のアクセスを行う事が可能なマルチポートメモリを構成することが出来る。

なお、本発明の実施例においては、第一及び第二のポートのクロック信号として、第一及び第二の互いの中間期位置のずれた二本のクロック信号を印加しているが、これらを一本のクロック信号とし、立上がり及び立下がりを各ポートのタイミング信号として使用することも可能である。また、本発明の実施例においては、本発明の趣旨とは直接関係がないので、メモリアル本体の構成及び制御図の具体的な図解等には触れていないが、従来知られている技術で実現できることは明らかであろう。また、本発明例においてはポート数を二としているが、これらをさらに増やすことも可能であることは明らかであろう。

【発明の効果】

この様に、本発明ではパイプライン化により高速化されたタイトルタイムを複数のポートに逐次割当てることにより、メモリアル本体をマルチポート構成することなしにマルチポートメモリを実現することが可能となる。

更に、外面から与えるクロック、アドレス、書

読み込みデータ、外部に出力される読出データは、内部クロックの二分の一の周波数に出来るので周辺の駆動回路として特別なものを用える必要がないという長所も有する。

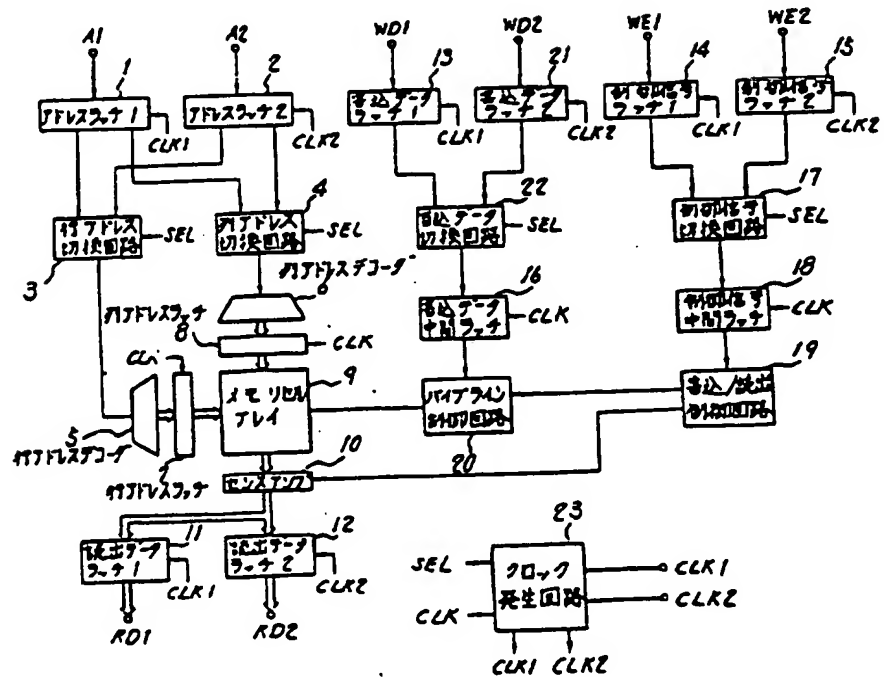
18……制御信号中間ラッチ、19……書き込み/読出制御回路、20……パイプライン制御回路、21……第二の書き込みデータラッチ、22……書き込みデータ切換回路、23……クロック発生回路。

代理人 弁理士 内 原 晋

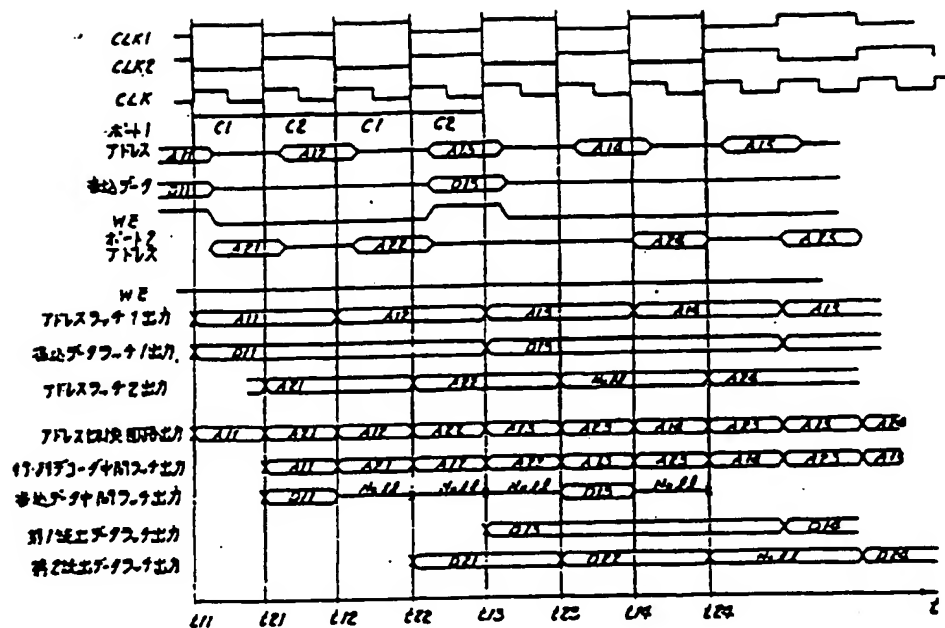
図面の簡単な説明

第1図は本発明の一実施例におけるマルチポートメモリ構造を有する半導体メモリのプロット図、第2図は第1図の動作を示すタイミングチャートである。

1, 2……第一及び第二のアドレスラッチ、3……行アドレス切換回路、4……列アドレス切換回路、5……行アドレスデコード、6……列アドレスデコード、7……行アドレスラッチ、8……列アドレスラッチ、9……メモリセルアレイ、10……センスアンプ、11……第一の読出データラッチ、12……第二の読出データラッチ、13……第一の書き込みデータラッチ、14, 15……第一及び第二の制御信号ラッチ、16……書き込みデータ中間ラッチ、17……制御信号切換回路、



第 1 図



第 2 図

Specification

1. Name of the invention: semiconductor memory
2. Scope of patent claims

A semiconductor memory having an address decoder, an address driver, a static memory cell array, a sense amplifier, and a write-in/read-out control circuit, comprising a pipeline memory making simultaneous processing of a plurality of memory access requests possible by providing one or more pipeline latches between an input step of the aforementioned address decoder and an output step of the aforementioned sense amplifier, a clock generating circuit for inputting clock signals applied externally in correspondence to a plurality of ports and generating internal clocks of twice the frequency of said clocks used to drive the aforementioned pipe line memory, a plurality of address latches to store, respectively, the addresses applied to the address terminals corresponding to the aforementioned plurality of ports, a plurality of write-in data latches to store, respectively, the written data applied to the write-in data terminals corresponding to the aforementioned plurality of ports, a plurality of control signal latches, to store, respectively, the memory access requests applied to the memory access request terminals corresponding to the aforementioned plurality of ports, a switching circuit to switch, sequentially, and output, per aforementioned internal clock, the outputs of the aforementioned address latches, write-in data latches, and control signal latches corresponding to the aforementioned plurality of ports, and a plurality of read-out data latches driven, respectively, by the clock signals corresponding to the aforementioned plurality of ports, and having a multi-port function enabling access from the aforementioned plurality of ports to random addresses by assigning, sequentially, the internal clock cycles of the pipeline memory to respective ports.

3. Detailed description of the invention

<Industrial field of use>

This invention relates to semiconductor memories, and, specifically, to a semiconductor memory having a multi-access function using a pipeline memory provided with multiple registers or latches in the memory.

<Conventional technology>

A semiconductor memory, referred to as a memory with registers or a pipeline memory, provided with pipeline registers (or latches) in the memory chip has been developed wherein the address/write-in data/read-out data, etc. of the request made separately before or after the request being processed in the chip is maintained. With this, it has become possible to supply the address to the memory externally, supply the write-in data thereto, or to supply the read-out data in the memory portion to outside of the chip, independently from the write-

in/read-out operation of the memory itself, as well as to reduce the cycle time of the memory as a system, and to improve the throughput of the memory system.

Moreover, since it is possible to speed up the cycle time itself by providing the pipeline latches between the input stage of the address decoder and the output step of the sense amplifier and dividing the write-in/read-out operation of the memory itself into several stages, and to process independent requests at each divided stage, it is possible to improve the throughput of the memory.

Also, conventionally, the memory referred to as the multi-port memory has been commercialized. This is a memory having the first and second ports which conduct writing-into and reading-out from the address provided externally, and at the same time it is possible to access the memory from these two ports.

<Issues attempted for resolution by the invention>

The conventional multi-access memory described above comprises the dual port memory which is simultaneously accessible, independent from the two ports, and because of that, two sets of address decoders and sense amplifier circuits are required, and the memory cell itself becomes complex: therefore, it had shortcomings that the chip size became larger, and the price was considerably higher compared with the regular memories.

The objective of this invention is to provide a relatively low priced semiconductor memory having a multi-access function.

<Means to resolve the problematic points>

The semiconductor memory under this invention is a semiconductor memory having an address decoder, an address driver, a static memory cell array, a sense amplifier, and a write-in/read-out control circuit, comprising a pipeline memory making simultaneous processing of a plurality of memory access requests possible by providing one or more pipeline latches between an input step of the aforementioned address decoder and an output step of the aforementioned sense amplifier, a clock generating circuit for inputting clock signals applied externally in correspondence to a plurality of ports and generating internal clocks of twice the frequency of said clocks used to drive the aforementioned pipeline memory, a plurality of address latches to store, respectively, the addresses applied to the address terminals corresponding to the aforementioned plurality of ports, a plurality of write-in data latches to store, respectively, the written data applied to the write-in data terminals corresponding to the aforementioned plurality of ports, a plurality of control signal latches, to store, respectively, the memory access requests applied to the memory access request terminals corresponding to the aforementioned plurality of ports, a switching circuit to switch, sequentially, and output, per aforementioned internal clock, the outputs of the aforementioned address latches, write-in data latches, and control signal latches corresponding to the aforementioned plurality of ports, and a plurality of read-out data latches driven, respectively, by the clock signals

corresponding to the aforementioned plurality of ports, and having a multi-port function enabling access from the aforementioned plurality of ports to random addresses by assigning, sequentially, the internal clock cycles of the pipeline memory to respective ports.

<Embodiment>

The embodiments of this invention are described below in reference to the drawings. In the embodiments, it is assumed that for ports, there are two ports, i.e. the first port and the second port.

Fig. 1 shows a block diagram of the semiconductor memory having the multi-port memory function in an embodiment of this invention. In this embodiment, as far as the pipeline memories are concerned, one step of pipelines, namely, row address latch 7 and column address latch 8, are provided between the row address decoder 5 [and the memory cell array 9], and the column address decoder 6 and the memory cell array 9. In correspondence thereto, the write-in data interim latch 16 for latching the write-in data in the interim and the control signal interim latch 18 for latching the write-in/read-out control signal in the interim are provided. With these, the memory portion is divided into the 2 steps of the decode stage and write-in/sense stage in this embodiment.

In correspondence to the first port, the first address latch 1, the first write-in data latch 13, the first control signal latch 14, and the first read-out data latch 11 are provided. In correspondence to the second port, the second address latch 2, the second write-in data latch 21, the second control signal latch 15, and the second read-out data latch 12 are provided, and the upper portion and the lower portion of the outputs of the first and second address latches 1 and 2 are applied, respectively, to the first and second inputs of the row address switching circuit 3 and the column address switching circuit 4. The outputs of the row address switching circuit 3 and the column address switching circuit 4 are applied, respectively, to the row address decoder 5 and the column address decoder 6. The outputs of the row address decoder 5 and the column address decoder 6 are applied, respectively, to the row address latch 7 and the column address latch 8. The outputs of row address latch 7 and the column address latch 8 are applied to the memory cell array 9, and the sense signal from the memory cell array 9 is applied to the sense amplifier 10. The output of the sense amplifier 10 is applied to the first and second read-out data latches 11 and 12, and the outputs thereof are applied, respectively, to the first and second read-out data terminals RD1 and RD2.

The write-in data from the first and second ports are applied, respectively, to the first and second write-in data latches 13 and 21, the outputs thereof are applied to the first and second inputs of the write-in data switching circuit 22, and the output of the switching circuit 22 is applied to the write-in data interim latch 16.

The write-in requests WE1 and WE2 from the first and second ports are applied, respectively, to the first and second control signal latches 14 and 15, the outputs thereof are applied to the control signal switching circuit 17, and the output of the control signal switching circuit 17 is applied to the control signal interim latch 18. The output of the control signal interim latch 18 is applied to the write-in/read-out control circuit 19.

All of the latches used in this embodiment comprise trigger sample type registers wherein the value is set with the rising of the clocks.

For the clock for the first address latch 1, the first write-in data latch 13, the first control signal latch 14 and the first read-out data latch 11, the first clock signal CLK1 is applied. Similarly, the second clock signal CLK2 is applied to the second address latch 2, the second write-in data latch 21, the first [as is in the original: "second"?] control signal latch 15, and the second read-out data latch 12.

The clock generating circuit 23 generates, from the first and second clock signals applied thereto, the internal clock signal CLK and the port switching signal SEL having the rise, with rising of respective clock. The clock signal CLK is applied, as the clock, to the row address latch 5, column address latch 6 [as in the original: "7" and "8" (for 5 and 6)?], the write-in data interim latch 16, and the control signal interim latch 18. The port switching signal SEL is applied to the row address switching circuit 3, column address switching circuit 4, the write-in data switching circuit 22, and the control signal switching circuit 17, and outputs the first input in the cycle which starts with the rising of the first clock signal CLK1 and the second input in the cycle which starts with the rising of the second clock signal CLK2.

The write-in/read-out control circuit 19 controls detection of the write-in data to the memory cell array 9 and the read-out data from the memory cell array 9.

The pipeline control circuit 20 forms, as the selecting signal SEL, a port switching signal which becomes "0" in the cycle C1 and "1" in the cycle C2.

Next, the operation of this embodiment is described.

In this embodiment, it is assumed that the clocks CLK1 and CLK2 having a different phase by one half cycle [from each other] are applied, respectively, to the first and second clock terminals, as shown in Fig. 2. It is assumed that the address write-in request, and the write-in data for the first port are all applied having been synchronized so that they may be sampled by this first clock. It is assumed that the same is the case with regard to the address, the address setting request, and the read-out request for the second port.

5

In this embodiment, the internal cycle specified from the rising of the internal clock CLK and the rising [as is in the original] is assigned alternately to the first and second ports.

In other words, it is divided into the cycle C1 which starts with rising of the first clock CLK1 and the cycle C2 which starts with rising of the second clock CLK2, and for the decode stage, the cycle C1 is assigned to the first port whereas the cycle C2 is assigned to the second port. This will be controlled by the port switching signal SEL.

The operation in response to the access requests from the first port and the second port is now described in reference to Fig. 2.

It is assumed that there are access requests as shown in Fig. 2, such as a write-in request of the data D11 to the address A11 at t11 has been made for the first port, and a read-out request for the address A12 at t12, etc. Similarly, it is assumed that there are read-out requests for the second port at t21, t22, t24, etc..

The write-in request for the port 1 at t11 is sampled by the first clock CLK1, and the address, the write-in request, and the write-in data are stored in the address latch 1, the write-in data latch 13, and the control signal latch 14 respectively, and at the same time the outputs of these are applied, respectively, to the row address decoder 5, the column address decoder 6, the write-in data interim latch 16, and the control signal interim latch 18 via address switching circuit 3, column address switching circuit 4, write-in data switching circuit 22, and control signal switching circuit 17.

At the timing of t21, the decoded outputs are set, respectively, in the row address latch 5 and the column address latch 6 as well as in the write-in data interim latch 16 and the control signal interim latch 18, and the write-in operation for A11 address in the memory cell array 9 starts. Concurrently with this, the output of the second address latch is selected in the row address switching circuit 3 and the column address switching circuit 4, and the decode cycle is started by the address A21.

Similarly, at t12, the decode stage starts by the address A12, and concurrently, the read-out/sense stage is started by the address A21. At t22, the decode stage by the address A22 and the read-out/sense stage by A12 are started and at the same time, the data D21 which has been read-out in the previous cycle is set in the second read-out data latch 12.

Similarly, at the timing of t13, the decode cycle by A12 and the read-out/sense stage by A22 are started and concurrently, the data D12 is set in the first read-out data latch 11.

As shown in the embodiment of this invention described above, it is possible, under this invention, to realize a multi-port memory which makes the write-in/read-out access to any random address from the first and second ports possible, without using the memory having, in itself, a dual access function.

Also, in the embodiment of this invention, two clock signals of the first and second clock signals with an aberration of the phase by one half cycle from each other are applied as the clock signals of the first and second ports, but it is possible to make them into one clock signal and use the rising and falling as the timing signal for respective ports. Also, in the embodiment of this invention, configuration of the memory itself and specific circuits, etc. of the control circuit are not mentioned, since they are not directly relevant to the intent of this invention, but, it is obvious that they may be realized with the conventionally known technology. Also, in this embodiment, the number of ports is made to be 2, but it is obvious that they may be further increased.

<Effects of the invention>

As such, it is possible, under this invention, to realize a multi-port memory without making the memory cell itself a multi-port configuration, by sequentially assigning the cycle time with the speed, accelerated by a shift to the pipeline, to a plurality of ports.

Furthermore, the invention has another advantage that a special element as a driving circuit for the periphery is not required, since the clocks provided externally, addresses, write-in data, and the read-out data to be out put to the outside may be made to $\frac{1}{2}$ of the frequency of the internal clock.

4. Brief description of the drawings

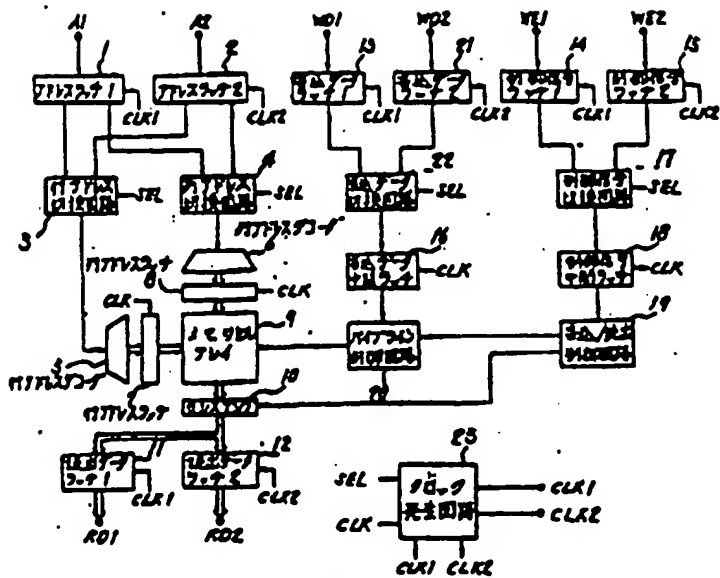
Fig. 1 is a block diagram of the semiconductor memory having a multi port memory function in an embodiment of this invention, and Fig. 2 is a timing chart showing the operation of [what is shown in] Fig. 1.

- 1, 2 ---- First and second address latches
- 3 ---- Row address switching circuit
- 4 ---- Column address switching circuit
- 5 ---- Row address decoder
- 6 ---- Column address decoder
- 7 ---- Row address latch
- 8 ---- Column address latch
- 9 ---- Memory cell array
- 10 ---- Sense amplifier
- 11 ---- First read-out data latch

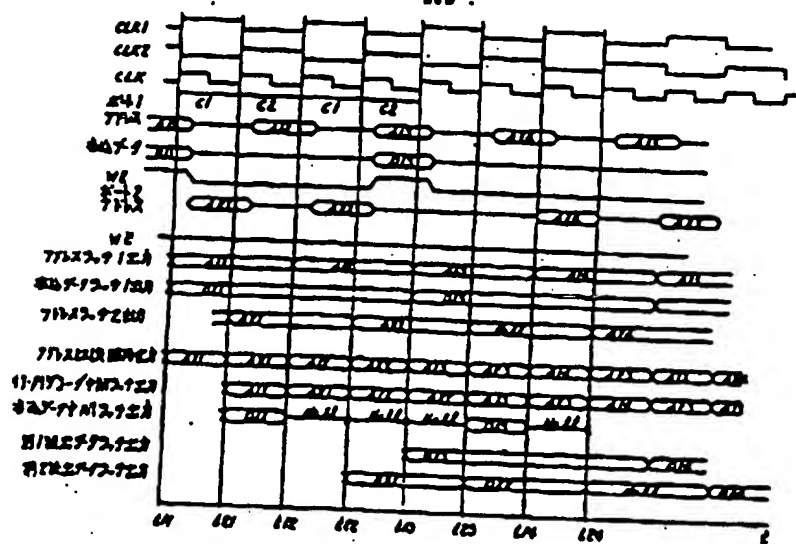
- 12 --- Second read-out data latch
- 13 --- First write-in data latch
- 14, 15 --- First and second control signal latches
- 16 --- Write-in data interim latch
- 17 --- Control signal switching circuit

- 18 --- Control signal interim latch
- 19 --- Write-in/read-out control circuit
- 20 --- Pipeline control circuit
- 21 --- Second write-in data latch
- 22 --- Write-in data switching circuit
- 23 --- Clock generating circuit

Attorney: Shin Uchihara, patent attorney



第 1 图



第 2 图

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.